

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-39866

(P2004-39866A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/10	HO 1 L 27/10 4 6 1	5 F 1 0 1
HO 1 L 27/115	HO 1 L 27/10 4 8 1	
HO 1 L 29/788	HO 1 L 29/78 3 7 1	
HO 1 L 29/792		

審査請求 有 請求項の数 12 O L (全 23 頁)

(21) 出願番号	特願2002-195005 (P2002-195005)	(71) 出願人	000003078
(22) 出願日	平成14年7月3日 (2002.7.3)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(72) 発明者	合田 晃
			神奈川県横浜市磯子区新杉田町8番地 株
			式会社東芝横浜事業所内
		(72) 発明者	野口 充宏
			神奈川県横浜市磯子区新杉田町8番地 株
			式会社東芝横浜事業所内
		(72) 発明者	田中 正幸
			神奈川県横浜市磯子区新杉田町8番地 株
			式会社東芝横浜事業所内

最終頁に続く

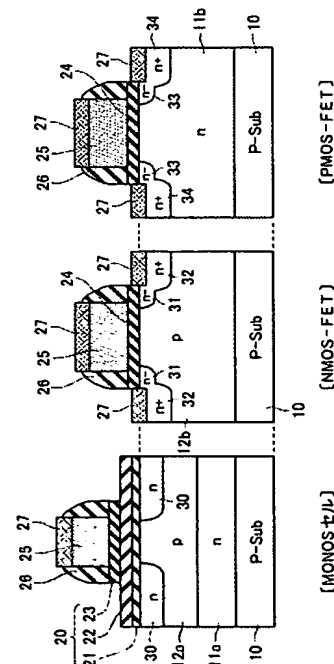
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】半導体基板上にMONOS型メモリセルが形成された高性能な半導体装置とその製造方法を提供する。

【解決手段】半導体基板と、この半導体基板に形成された、電荷蓄積層となるシリコン窒化膜を含む積層構造の第1のゲート絶縁膜を有するメモリセルと、前記半導体基板に形成された、第2のゲート絶縁膜を有するトランジスタとを備えた半導体装置において、メモリセルのソース、ドレイン拡散層は、第1のゲート絶縁膜の一部により覆われており、トランジスタのソース、ドレイン拡散層の表面には金属シリサイド膜が形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、この半導体基板に形成された、電荷蓄積層となるシリコン窒化膜を含む積層構造の第 1 のゲート絶縁膜を有するメモリセルと、前記半導体基板に形成された、第 2 のゲート絶縁膜を有するトランジスタとを備えた半導体装置において、前記メモリセルのソース、ドレイン拡散層は、前記第 1 のゲート絶縁膜の一部により覆われており、前記トランジスタのソース、ドレイン拡散層の表面には金属シリサイド膜が形成されていることを特徴とする半導体装置。

10

【請求項 2】

前記メモリセル及びトランジスタのゲート電極の表面に金属シリサイド膜が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記メモリセルのソース、ドレイン拡散層は、前記第 1 のゲート絶縁膜における前記シリコン窒化膜により覆われていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記第 1 のゲート絶縁膜は、トンネル絶縁膜、このトンネル絶縁膜上に形成された前記シリコン窒化膜及び、前記シリコン窒化膜上に重ねられたブロック絶縁膜の積層構造を有し、前記メモリセルのソース、ドレイン拡散層は、前記第 1 のゲート絶縁膜における前記トンネル絶縁膜により覆われていることを特徴とする請求項 1 記載の半導体装置。

20

【請求項 5】

半導体基板と、この半導体基板に形成された、電荷蓄積層となるシリコン窒化膜を含む積層構造のゲート絶縁膜を有する複数のメモリセルと、前記メモリセルを覆う層間絶縁膜上に形成された配線と、前記層間絶縁膜に埋め込まれて前記メモリセルのソース、ドレイン拡散層の少なくとも一方と前記配線との間を接続するコンタクトプラグとを有し、前記メモリセルのゲート絶縁膜に用いられるシリコン窒化膜が前記コンタクトプラグに隣接する素子分離領域上にも配置されていることを特徴とする半導体装置。

30

【請求項 6】

前記コンタクトプラグは前記素子分離領域にセルフアラインされてソース、ドレイン拡散層の少なくとも一方にコンタクトしていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記層間絶縁膜の下地に前記メモリセル及び素子分離領域を覆ってシリコン窒化膜からなるバリア絶縁膜が形成され、前記素子分離領域上は前記メモリセルのゲート絶縁膜に用いられるシリコン窒化膜と前記バリア絶縁膜のシリコン窒化膜との積層膜で覆われていることを特徴とする請求項 5 記載の半導体装置。

40

【請求項 8】

前記素子分離領域上のシリコン窒化膜は、前記コンタクトプラグ埋め込みのための前記層間絶縁膜エッチングにおけるエッチングストップとして用いられることを特徴とする請求項 5 記載の半導体装置。

【請求項 9】

半導体基板のセルアレイ領域に電荷蓄積層となるシリコン窒化膜を含む積層構造の第 1 のゲート絶縁膜を形成する工程と、前記半導体基板のトランジスタ回路領域に第 2 のゲート絶縁膜を形成する工程と、前記第 1 及び第 2 のゲート絶縁膜上にメモリセル及びトランジスタのゲート電極を形成する工程と、

50

前記セルアレイ領域及びトランジスタ回路領域にそれぞれ必要なソース、ドレイン拡散層を形成する工程と、
前記セルアレイ領域が前記シリコン窒化膜で覆われた状態で前記トランジスタ回路領域のソース、ドレイン拡散層を露出させる工程と、
前記トランジスタ回路領域の露出したソース、ドレイン拡散層の表面に金属シリサイド膜を形成する工程とを有する
ことを特徴とする半導体装置の製造方法。

【請求項 10】

前記ゲート電極を形成した後、そのゲート電極の側面に側壁絶縁膜を形成する工程を有し

10

、
前記トランジスタ回路領域のソース、ドレイン拡散層を露出させる工程は、前記ゲート電極及び側壁絶縁膜をマスクとし、前記セルアレイ領域の前記シリコン窒化膜をエッチングストップとして、前記トランジスタ回路領域の第1のゲート絶縁膜及びトランジスタ回路領域の第2のゲート絶縁膜をエッチングするものである
ことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項 11】

前記トランジスタ回路領域でソース、ドレイン拡散層の表面に金属シリサイド膜を形成する工程において同時に、前記メモリセル及びトランジスタのゲート電極表面に金属シリサイド膜を形成する
ことを特徴とする請求項9記載の半導体装置の製造方法。

20

【請求項 12】

前記金属シリサイド膜を形成した後、前記セルアレイ領域のソース、ドレイン拡散層上の前記シリコン窒化膜をエッチング除去する工程を有する
ことを特徴とする請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電荷蓄積層としてシリコン窒化膜を用いた不揮発性メモリセルを有する半導体装置とその製造方法に関する。

【0002】

30

【従来の技術】

電気的な書き込み及び消去が可能な不揮発性半導体記憶装置のひとつとして、電荷蓄積層にシリコン窒化膜を用いたMONOS型メモリセルが知られている。このメモリセルのゲート絶縁膜は具体的に、トンネル絶縁膜／シリコン窒化膜／ブロック絶縁膜の積層構造として形成される。

【0003】

MONOS型セルは浮遊ゲート型メモリセルと異なり、ゲート電極が単層構造である。このために、同じく単層ゲート構造である通常のMOSトランジスタ回路と共にセルアレイを同一半導体基板に形成する場合に、プロセスの共通化が容易であるという特徴がある。

【0004】

40

MOSトランジスタの高速化技術として、ゲート電極とソース、ドレイン拡散層の表面をシリサイド化するサリサイド構造およびプロセスが提案されている。このサリサイド構造ではソース、ドレイン拡散層領域のシリコン基板が金属と反応してシリサイド化するために、とくにソース、ドレイン拡散層が浅い場合にジャンクションリークを引き起こすという問題がある。

【0005】

【発明が解決しようとする課題】

従って、MONOS型メモリセルとロジック回路を混載する場合に、サリサイド構造を適用しようとする、問題が深刻になる。MONOS型セルでは、通常のMOSトランジスタと比較してソース、ドレイン拡散層が浅く、同時にシリサイド化を行おうとすると、セ

50

ルアレイ領域においてソース、ドレイン拡散層の接合リークを生じ易いからである。

【0006】

この発明は、半導体基板上にMONOS型メモリセルが形成された高性能の半導体装置とその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】

この発明は、半導体基板と、この半導体基板に形成された、電荷蓄積層となるシリコン窒化膜を含む積層構造の第1のゲート絶縁膜を有するメモリセルと、前記半導体基板に形成された、第2のゲート絶縁膜を有するトランジスタとを備えた半導体装置において、前記メモリセルのソース、ドレイン拡散層は、前記第1のゲート絶縁膜の一部により覆われており、前記トランジスタのソース、ドレイン拡散層の表面には金属シリサイド膜が形成されていることを特徴とする。

10

【0008】

この発明によると、メモリセルと共に集積されるトランジスタのソース、ドレイン拡散層には、金属シリサイド膜が形成されるが、メモリセルのソース、ドレイン拡散層には金属シリサイド膜が形成されない状態とする。これにより、メモリセルのソース、ドレイン拡散層が浅い場合に、ここに金属シリサイドを形成することによる接合リークの増大を防止することが可能になる。

【0009】

具体的にメモリセルの第1のゲート絶縁膜は、トンネル絶縁膜、このトンネル絶縁膜上に形成されたシリコン窒化膜及び、このシリコン窒化膜上に重ねられたブロック絶縁膜の積層構造を有するものとする。そしてシリサイド工程で、メモリセルのソース、ドレイン拡散層がメモリセルのゲート絶縁膜に用いられるシリコン窒化膜により覆われた状態とすることにより、トランジスタ回路でのみソース、ドレイン拡散層にシリサイド膜を形成することができる。なお金属シリサイド膜は好ましくは、メモリセル及びトランジスタのゲート電極の表面にも形成されるものとする。

20

【0010】

この発明に係る半導体装置はまた、半導体基板と、この半導体基板に形成された、電荷蓄積層となるシリコン窒化膜を含む積層構造のゲート絶縁膜を有する複数のメモリセルと、前記メモリセルを覆う層間絶縁膜上に形成された配線と、前記層間絶縁膜に埋め込まれて前記メモリセルのソース、ドレイン拡散層の少なくとも一方と前記配線との間を接続するコンタクトプラグとを有し、前記メモリセルのゲート絶縁膜に用いられるシリコン窒化膜が前記コンタクトプラグに隣接する素子分離領域上にも配置されていることを特徴とする。

30

【0011】

この発明によると、MONOS型メモリセルのゲート絶縁膜に用いられるシリコン窒化膜を素子分離領域に残すことによって、コンタクトプラグ形成時のエッチングストップパとなり、MONOS型セルアレイの信頼性向上と高集積化が可能になる。

【0012】

この発明に係る半導体装置の製造方法は、半導体基板のセルアレイ領域に電荷蓄積層となるシリコン窒化膜を含む積層構造の第1のゲート絶縁膜を形成する工程と、前記半導体基板のトランジスタ回路領域に第2のゲート絶縁膜を形成する工程と、前記第1及び第2のゲート絶縁膜上にメモリセル及びトランジスタのゲート電極を形成する工程と、前記セルアレイ領域及びトランジスタ回路領域にそれぞれ必要なソース、ドレイン拡散層を形成する工程と、前記セルアレイ領域が前記シリコン窒化膜で覆われた状態で前記トランジスタ回路領域のソース、ドレイン拡散層を露出させる工程と、前記トランジスタ回路領域の露出したソース、ドレイン拡散層の表面に金属シリサイド膜を形成する工程とを有することを特徴とする。

40

【0013】

この発明の製造方法において好ましくは、ゲート電極を形成した後、そのゲート電極の側

50

面に側壁絶縁膜を形成する工程を有し、トランジスタ回路領域のソース、ドレイン拡散層を露出させる工程は、ゲート電極及び側壁絶縁膜をマスクとし、セルアレイ領域の前記シリコン窒化膜をエッチングストップパとして、トランジスタ回路領域の第1のゲート絶縁膜及びトランジスタ回路領域の第2のゲート絶縁膜をエッチングする。これにより、メモリセル領域ではソース、ドレイン拡散層上をシリコン窒化膜で覆って、シリサイド化を防止することができる。

【0014】

なお、トランジスタのソース、ドレイン拡散層表面に金属シリサイド膜を形成する工程では同時に、メモリセル及びトランジスタのゲート電極表面に金属シリサイド膜を形成するものとする。

セルアレイ領域のソース、ドレイン拡散層上のシリコン窒化膜は、この部分での金属シリサイド膜形成を防止するブロックとして残すものであるから、シリサイド化工程の後には、セルアレイ領域のソース、ドレイン拡散層上のシリコン窒化膜をエッチング除去してもよい。

【0015】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】

図1は、実施の形態によるセルアレイとCMOSロジック回路の混載構造を断面図で示している。図では、セルアレイの中の一つのMONOS型メモリセル（以下、単にMONOSセルという）と、ロジック回路内の一つずつの表面チャンネル型のpチャンネルMOSトランジスタ（以下、PMOS-FET）とnチャンネルMOSトランジスタ（以下、単にNMOS-FET）を代表的に示している。

【0016】

シリコン基板10はp型であり、このシリコン基板10のセルアレイ領域には、n型ウェル11aとp型ウェル12aが形成されている。ロジック回路（トランジスタ回路）のNMOS-FET領域には、P型ウェル12bが、PMOS-FET領域にはn型ウェル11bがそれぞれ形成されている。各ウェルの不純物濃度や深さは、回路領域に応じて最適設定される。セルアレイ領域のp型ウェル12aと、トランジスタ回路領域のp型ウェル12bとは、分離されて形成される。

【0017】

MONOSセルは、p型ウェル12aの表面に形成された積層絶縁膜構造のゲート絶縁膜20を有する。具体的にゲート絶縁膜20は、例えば0.5～10（nm）の厚さからなるシリコン酸化膜またはオキシナイトライド膜からなるトンネル絶縁膜（第1の絶縁膜）21と、電荷蓄積層として作用する3～50nmのシリコン窒化膜22及び、シリコン酸化膜またはオキシナイトライド膜からなるブロック絶縁膜23の積層膜である。

【0018】

NMOS-FET及びPMOS-FETは、それぞれp型ウェル12b及びn型ウェル11b上に形成された、0.5～40nmの範囲の厚さのシリコン酸化膜またはオキシナイトライド膜からなるゲート絶縁膜24を有する。

【0019】

各ゲート絶縁膜20、24上には、10～500nmの厚さの多結晶シリコン膜からなるゲート電極25が形成されている。ゲート電極25には、回路領域に応じてp型、n型の不純物がドーピングされている。

【0020】

セルアレイ領域には、ゲート電極25とその側面に形成した側壁絶縁膜26をマスクとしてイオン注入を行って、n型のソース、ドレイン拡散層30が形成される。ロジック回路領域のNMOS-FET領域、PMOS-FET領域にはそれぞれ、ゲート電極25をマスクとしてイオン注入を行って低濃度のソース、ドレイン拡散層31、33が形成され、ゲート電極25と側壁絶縁膜26をマスクとしてイオン注入を行って高濃度で深いソース

10

20

30

40

50

、ドレイン拡散層 32, 34 が形成されている。

【0021】

ゲート電極 25 の表面には、TiSi や CoSi などの金属シリサイド膜 27 が 1~40 (nm) の厚さで形成されている。このシリサイド膜 27 の厚さは、セルアレイ領域とロジック回路領域とで変わらず、略一定である。ロジック回路領域のソース、ドレインか拡散層表面にも同時に、金属シリサイド膜 27 が形成されている。但し、セルアレイ領域では、ソース、ドレイン拡散層上はトンネル絶縁膜 21 およびシリコン窒化膜 22 で覆われた状態として、シリサイド膜は形成されていない。

【0022】

この実施の形態の構造を実現するための具体的な製造方法を、図 2~図 8 を参照して説明する。シリコン基板 10 にはまず、図 2 に示すように、それぞれの回路領域に必要なウェル形成を行う。シリコン基板 10 は、例えばボロンを $10^{14} \sim 10^{19} \text{ (cm}^{-3}\text{)}$ の濃度で含む p 型であるとする。この基板に、リンまたは砒素、アンチモン等のイオンを、30~1000 (keV) の加速エネルギー、 $1 \times 10^{11} \sim 1 \times 10^{15} \text{ (cm}^{-2}\text{)}$ のドーズ量で注入して、n 型ウェル 11a, 11b を形成する。これらの n 型ウェル 11a, 11b は、一体のものでよい。

【0023】

また、セルアレイ領域および NMOS-FET 領域には、ボロンを 100~1000 (keV) の加速エネルギー、 $1 \times 10^{11} \sim 1 \times 10^{15} \text{ (cm}^{-2}\text{)}$ のドーズ量で注入して、p 型ウェル 12a, 12b を形成する。これらの p 型ウェル 12a, 12b は、レジストマスクを用いて選択的にイオン注入を行うことで、物理的に分離されたものとして形成する。

【0024】

さらに、各回路領域に、必要に応じてしきい値調整のためのチャネルイオン注入を行う。例えば、レジストマスクを形成して、ボロンやインジウム等の不純物を $1 \times 10^{11} \sim 1 \times 10^{14} \text{ (cm}^{-2}\text{)}$ のドーズ量で、セルアレイ領域および NMOS-FET 領域にチャネルイオン注入する。同様に、PMOS-FET 領域にも、リンまたは砒素等の不純物を $1 \times 10^{11} \sim 1 \times 10^{14} \text{ (cm}^{-2}\text{)}$ のドーズ量でチャネルイオン注入する。

【0025】

続いて、セルアレイ領域には、積層構造のゲート絶縁膜 20 を形成し、ロジック回路領域には、単層のゲート絶縁膜 24 を形成する。この工程を具体的に説明すると、まず、MONOS セルのトンネル絶縁膜 21 となるシリコン酸化膜またはオキシナイトライド膜を 0.5~10 (nm) の厚さで形成し、その後 3~50 (nm) の厚さのシリコン窒化膜 22 を形成し、さらにその上に 3~30 nm の厚さのシリコン酸化膜またはオキシナイトライド膜からなるブロック絶縁膜 23 を形成する。これにより、ONO 構造のゲート絶縁膜 20 が得られる。

【0026】

つぎに、セルアレイ領域をレジストで覆い、ロジック回路領域のゲート絶縁膜 20 を選択的に除去した後、レジストを除去し、NMOS-FET および PMOS-FET のゲート絶縁膜 24 として、シリコン酸化膜またはオキシナイトライド膜を 0.5~40 (nm) の厚さで形成する。ゲート絶縁膜 24 は、NMOS-FET および PMOS-FET 領域で同じ膜厚としてもよいが、高電圧用、低電圧用 FET に応じて、複数種類のゲート絶縁膜を作り分けることもある。

【0027】

次に、ゲート電極材料膜となるポリシリコン膜 (又はアモルファスシリコン膜) 25a を、10~500 (nm) の厚さで全面に堆積する。以上により、図 2 の構造が得られる。シリコン膜 25a は不純物を添加しない膜であることが後の工程で、拡散層と同時にゲート電極に不純物を注入するためには望ましい。

なお、図では示していないが、ゲート絶縁膜形成前又は形成後に素子分離領域を形成する工程が入る。例えば STI 技術により、シリコン酸化膜からなる素子分離絶縁膜を、0.

10

20

30

40

50

0.5～0.5 (μm) の深さでシリコン基板中に埋め込み形成しておく。

【0028】

次にリソグラフィと異方性エッチング (RIE) により、図3に示すように、各回路領域にゲート電極25をパターンニングする。このとき、セルアレイ領域のブロック絶縁膜23およびロジック回路領域のゲート絶縁膜24でエッチングを止めることにより、図3の形状を得る。

【0029】

次に、図4に示すように、PMOS-FET領域をレジスト41で覆った状態で、リン (P) または砒素 (As) をイオン注入して、MONOSセルおよびNMOS-FETのソース、ドレイン拡散層30、31を形成する。このとき、MONOSセルおよびNMOS-FETのゲート電極25は、n型にドーピングされる。なお図4では、説明を簡単にするため、MONOSセルおよびNMOS-FETのソース、ドレイン領域に対する同時にイオン注入を行うように示しているが、実際の工程では、セルアレイ領域と、NMOS-FET領域への不純物注入は、別々にそれぞれに最適の条件で行われる。図4の例は、NMOS-FETのソース、ドレイン拡散層31がn型層であって、セルアレイのn型ソース、ドレイン拡散層30より浅く且つ低濃度にイオン注入された様子を示している。

10

【0030】

次に、図5に示すように、セルアレイ領域及びNMOS-FET領域をレジスト42で覆って、ボロン (B) またはBF₂をイオン注入して、PMOS-FETのゲート電極25をp型にドーピングすると共に、低濃度のp型ソース、ドレイン拡散層33を形成する。そしてレジスト42を除去して、図6の構造を得る。

20

【0031】

続いて、シリコン酸化膜を5～200 (nm) の厚さで堆積した後、異方性エッチングを行うことにより、図7に示すように、各ゲート電極25の側面に側壁絶縁膜26を形成する。このとき、シリコン酸化膜エッチングでセルアレイ領域のブロック絶縁膜23及びロジック回路領域のゲート絶縁膜24がエッチングされるが、図7に示すように、セルアレイ領域の拡散層30上には、少なくとも電荷蓄積層であるシリコン窒化膜22が残るようにする。

【0032】

次に、ロジック回路領域のPMOS-FET及びNMOS-FET領域にそれぞれ不純物のイオン注入を行って、図8に示すように、高濃度のp⁺型及びn⁺型のソース、ドレイン拡散層32、34を形成する。これにより、NMOS-FET、PMOS-FETは、浅い低濃度層とこれより深い高濃度層からなるLDD構造となる。ゲート電極25にも同時に不純物がドーピングされ、より高濃度となる。

30

【0033】

ここでは、MONOSセルはLDD構造としていないが、LDD構造を導入することもできる。また、MONOSセルのソース、ドレイン拡散層30を、側壁絶縁膜26を形成した後、ゲート電極25と側壁絶縁膜26をマスクとしてイオン注入を行って形成することもできる。

【0034】

以上の工程を経た結果、図8に示すように、MONOSセル、NMOS-FET、PMOS-FETのゲート電極25および、NMOS-FETとPMOS-FETの拡散層領域のシリコン基板が露出し、MONOSセルの拡散層領域はトンネル絶縁膜21およびシリコン窒化膜22で覆われた状態となる。

40

【0035】

この後、フッ酸によるエッチング等の前処理を行った後、Ti、Co、Ni、Pd等の高融点金属を1～40 (nm) の範囲内で全面に堆積した後、400～1000℃の範囲の熱工程を加えて、図1に示すように、各ゲート電極25の表面及び、ロジック回路領域のソース、ドレイン拡散層表面に金属シリサイド膜27を形成する。未反応の金属は、例えば硫酸と過酸化水溶液からなるエッチングにより除去する。MONOSセルの拡散層はシ

50

リコン窒化膜 22 がシリサイドブロックとして働くためシリサイド膜は形成されない。

【0036】

セルアレイに浮遊ゲート構造のメモリセルを用いる場合には、ゲート構造が複雑になるため、通常、ゲート電極へのイオン注入工程とソース、ドレイン拡散層形成のイオン注入工程を別々に行う必要がある。これに対して、MONOSセルを用いるこの実施の形態の場合、ゲート電極が単層であるために工程が簡単になるだけでなく、ゲート電極とソース、ドレイン拡散層への不純物イオン注入も同時に行うことができる結果として、工程数が少なくなる効果がある。

【0037】

また、ゲート電極がシリサイド層を有するため、抵抗が低くなり、高速動作が可能となる。さらに、PMOS-FETおよびNMOS-FETの拡散層が低抵抗のシリサイド層を有するためにオン電流が大きく、オン抵抗が小さくなり、トランジスタ動作の高速化、高性能化が実現される。一方、MONOSセルの拡散層はシリサイド化されないため、ジャンクションリークの増大が抑えられ、メモリセルの信頼性が向上する。

10

【0038】

さらにこの実施の形態では、MONOSセルの電荷蓄積層であるシリコン窒化膜をシリサイドブロックとして用いている。このため、シリサイド層を選択的に形成するための余分な工程が不要であり、工程数が削減できる。

とくにこの実施の形態は、CMOSロジック回路とMONOSセルアレイとを同一半導体基板上に混載する半導体装置において有効であるが、ロジック回路がCMOS構成でない場合にも勿論適用可能である。

20

【0039】

〔実施の形態2〕

この発明の別の実施の形態による構造を、図9に示す。先の実施の形態と対応する部分には同一符号を付してある。先の実施の形態の図1と異なる点は、MONOSセルのソース、ドレイン拡散層上のシリコン窒化膜22が除去され、ソース、ドレイン拡散層がトンネル絶縁膜21で覆われた状態になっていること、及びMONOSセルのゲート電極をp型導電性に行っていることである。また製造工程的には、MONOSセルのソース、ドレイン拡散層30は、シリサイド膜27を形成した後に、トンネル絶縁膜21を通してイオン注入を行うことによって形成する。

30

【0040】

この実施の形態の製造方法を、図10～図19を参照して説明する。あらかじめ不純物としてボロンを $10^{14} \sim 10^{19} \text{ (cm}^{-3}\text{)}$ の濃度で含むp型シリコン基板10上にレジストを塗布し、リソグラフィを行い、例えばリンまたは砒素、アンチモンなどのイオンを、例えば $30 \sim 1000 \text{ (keV)}$ の加速エネルギー、 $1 \times 10^{11} \sim 1 \times 10^{15} \text{ (cm}^{-2}\text{)}$ のドーズ量で注入して、図10に示すように、n型ウェル11a, 11bを形成する。また、セルアレイ領域およびNMOS領域には例えばボロンを $100 \sim 1000 \text{ (keV)}$ の加速エネルギー、 $1 \times 10^{11} \sim 1 \times 10^{15} \text{ (cm}^{-2}\text{)}$ のドーズ量で注入して、p型ウェル12a, 12bを形成する。

【0041】

さらにレジストを塗布後、リソグラフィを行い、ボロンやインジウム等の不純物を $1 \times 10^{11} \sim 1 \times 10^{14} \text{ (cm}^{-2}\text{)}$ のドーズ量で、セルアレイ領域およびNMOS-FET領域にチャネルイオンとして注入する。同様に、レジストを塗布後、リソグラフィを行い、リンまたは砒素等の不純物を $1 \times 10^{11} \sim 1 \times 10^{14} \text{ (cm}^{-2}\text{)}$ のドーズ量で、PMOS-FET領域にチャネルイオンとして注入する。

40

【0042】

続いて、シリコン基板10上にMONOSセルのトンネル絶縁膜21となるシリコン酸化膜またはオキシナイトライド膜を $0.5 \sim 10 \text{ (nm)}$ の厚さで形成し、その後 $3 \sim 50 \text{ (nm)}$ の厚さのシリコン窒化膜22を形成し、さらにその上に $3 \sim 30 \text{ nm}$ の厚さのシリコン酸化膜またはオキシナイトライド膜からなるブロック絶縁膜23を形成する。これ

50

により、MONOSセルのゲート絶縁膜20となるONO膜を形成する。つぎに、セルアレイ領域上をレジストで覆い、NMOS-FETおよびPMOS-FET領域上のONO膜を選択的に除去した後、レジストを除去し、NMOS-FETおよびPMOS-FETのゲート絶縁膜24となるシリコン酸化膜またはオキシナイトライド膜を0.5~40 (nm)の厚さで形成する。このときゲート絶縁膜はすべてのNMOS-FETおよびPMOS-FET領域で同じ膜厚としてもよいし、複数種類の厚さで作り分けてもよい。

【0043】

次にポリシリコン膜（又はアモルファスシリコン膜）25aを10~500 (nm)の厚さで全面に堆積し、その上にシリコン酸化膜51を1~20 (nm)の範囲で形成して、図10に示す形状を得る。なお、図示はしないが、ゲート絶縁膜の形成と前後して、例えばシリコン酸化膜からなる素子分離領域を0.05~0.5 (μm)の深さでシリコン基板中に形成する。

10

【0044】

次にレジストを塗布後リソグラフィを行って、図11に示すようにNMOS-FET領域をレジストマスク52で覆い、不純物をイオン注入することでMONOSセルおよびPMOS-FETのゲートポリシリコン膜25aをp型にする。引き続き、図12に示すように、セルアレイ領域及びPMOS-FET領域をレジストマスク53で覆って不純物をイオン注入して、NMOS-FET領域のゲートポリシリコン膜25aをn型にドーピングする。その後、レジストを剥離し、更にシリコン酸化膜51をエッチング除去して、図13の形状を得る。

20

【0045】

次にリソグラフィと異方性エッチングで各素子領域のゲート電極25をパターニングし、MONOSセルのブロック絶縁膜23およびMOS-FETのゲート絶縁膜24でエッチングを止めることにより、図14の形状を得る。さらにPMOS-FETおよびMONOSセル領域をレジスト54で覆った状態で、リンまたは砒素の不純物をNMOS-FET領域に注入して、図15に示すように、n型のソース、ドレイン拡散層31を形成する。

【0046】

同様に、図16に示すように、MONOSセルおよびNMOS-FET領域をレジスト55で覆って、ボロンまたはBF₂の不純物をPMOS-FET領域に注入して、p型のソース、ドレイン拡散層33を形成する。NMOS-FETおよびPMOS-FETへの不純物注入はトランジスタの種類によって複数回にわけて行ってもよい。以上の工程によって、図17に示したように、NMOS-FET、PMOS-FET領域のソース、ドレイン拡散層31、33を形成する。

30

【0047】

つぎにシリコン酸化膜を5~200 (nm)の厚さで堆積した後、異方性エッチングを行うことにより、図18に示すように側壁絶縁膜26を形成する。このとき、MONOS領域の拡散層上には、少なくとも電荷蓄積層であるシリコン窒化膜22が残るようにする。

【0048】

次に先に示した拡散層への不純物への注入と同様の方法で、NMOS-FETおよびPMOS-FET領域にそれぞれ不純物をイオン注入して、図19に示すように、高濃度で深いn型ソース、ドレイン拡散層32及び高濃度で深いp型ソース、ドレイン拡散層34を形成し、これらの工程で同時に、ゲート電極への不純物注入を行って、LDD構造を得る。以上の工程を経た結果、MONOSセル、NMOS-FET、PMOS-FETのゲート電極25およびNMOS-FET、PMOS-FETの拡散層領域のシリコン基板が露出し、MONOSセルの拡散層領域のシリコン基板はトンネル絶縁膜21およびシリコン窒化膜22で覆われた状態となる。

40

【0049】

この後、フッ酸によるエッチング等の前処理を行った後、例えばTi、Co、Ni、Pdなどのシリサイドを形成する金属を1~40 (nm)の範囲内で全面に堆積した後、400~1000℃の範囲の熱工程を加えて、図20に示すように、各ソース、ドレイン拡散

50

層及びゲート電極にシリサイド膜27を形成する。未反応の不要な金属は例えば硫酸と過酸化水溶液からなるエッチングにより除去して、シリサイド構造を得る。このとき、MONOSセルのソース、ドレイン領域はシリコン窒化膜がシリサイドブロックとして働くためシリサイド層は形成されない。

【0050】

次に、図9に示すように、MONOSセルの拡散形成領域上に残したシリコン窒化膜22を異方性エッチングによって除去する。このときPMOS-FETおよびNMOS-FET領域はシリコン酸化膜等の絶縁膜及びレジストで覆って、シリサイド層がエッチングされることを防いでもよい。さらにPMOS-FETおよびNMOS-FET領域をシリコン酸化膜等の絶縁膜及びレジストで覆った状態で、トンネル酸化膜21を通してリンまたは砒素の不純物をMONOSセル領域にイオン注入して、セルアレイのn型ソース、ドレイン拡散層30を形成する。

10

【0051】

この実施の形態では、先の実施の形態の効果に加えて次の効果が得られる。MONOSセルのゲート電極がp型に形成されているため、消去動作を高速化することができる。また、MONOSセルへの拡散層不純物注入を薄いトンネル酸化膜越しに行っているため、低いエネルギーで注入を行うことが可能で、さらに注入時に側壁絶縁膜が形成されているために拡散層とゲート電極とのオーバーラップを小さくすることが可能となり、ショートチャネル特性に起因するメモリセルトランジスタの性能低下を防止することができる。

なお、この実施の形態2において、MONOSセルのゲート電極をn型にドーピングしてもよく、また先の実施の形態1において、MONOSセルのゲート電極をp型にドーピングしてもよい。

20

【0052】

【実施の形態3】

次にこの発明を、NOR型EEPROMに適用した実施の形態について説明する。図21は、MONOSセルMCをNOR型に接続したセルアレイ1の等価回路を示している。MONOSセルのソース、ドレイン拡散層の一方はビット線BLに、他方は共通ソース線SLに接続され、ゲート電極はワード線WLに接続される。

【0053】

NOR型セルアレイ1の平面図を図22に示し、図22のI-I'断面、II-II'断面及びIII-III'断面をそれぞれ、図23A、図23B及び図23Cに示す。なお、先の各実施の形態と対応する部分には先の各実施の形態と同一符号を付してある。MONOSセルのゲート電極25は、一方向に連続的にパターニングされて、ワード線WLとなる。MONOSセルが形成された基板面は層間絶縁膜42により覆われ、この上にビット線(BL)44が形成される。ビット線44は、層間絶縁膜42に埋め込まれたコンタクトプラグ43を介して、セルの一端側拡散層に接続される。他端側拡散層は連続的に形成されて、共通ソース線SLを構成する。

30

【0054】

図23A及び図23Bに示すように、ビット線(BL)のコンタクトは素子分離領域に対してリソグラフィーの合わせ余裕をもたないセルフアライン構造をとっており、これによってチップ面積を小さくすることが可能である。MONOSセルの電荷蓄積絶縁膜であるシリコン窒化膜22は素子分離領域上に配置され、ビット線コンタクトが素子分離領域に落ち込むことを防止するエッチングストッパとして機能している。

40

また、ロジック回路を構成するNMOS-FETまたはPMOS-FETは、先の各実施の形態で説明したものと同様であり、ここでは示していない。

【0055】

具体的にこの様なセルアレイを得る製造方法を、図22のI-I'断面及びII-II'断面に着目して説明する。予め不純物としてボロンを $1.0 \times 10^{-4} \sim 1.0 \times 10^{-9}$ (cm⁻³)の濃度で含むp型シリコン基板10上に、図24A及び図24Bに示すように、厚さ10 (nm)程度の犠牲酸化膜51を形成し、更に素子分離領域に0.05~0.5 (μm)の

50

深さで溝を形成して、シリコン酸化膜からなる素子分離絶縁膜41を埋め込む。次に、先の実施の形態と同様の方法によって、必要なウェル形成およびチャネルしきい値調整のための不純物イオン注入を行う。

【0056】

続いて、基板上にMONOSセルのトンネル絶縁膜21となるシリコン酸化膜またはオキシナイトライド膜を0.5~10 (nm)の厚さで形成し、その後3~50 (nm)の厚さのシリコン窒化膜22を形成し、さらにその上に3~30 nmの厚さのシリコン酸化膜またはオキシナイトライド膜からなるブロック絶縁膜23を形成する。これにより、MONOSセルのゲート絶縁膜20となるONO膜を形成する。つぎに、図示しないが、セルアレイ領域上をレジストで覆い、MOS領域上のONO膜を選択的に除去した後、レジストを除去し、MOSトランジスタのゲート絶縁膜となるシリコン酸化膜またはオキシナイトライド膜を0.5~40 (nm)の厚さで形成する。

10

【0057】

次にポリシリコン膜（又はアモルファスシリコン膜）25aを10~500 (nm)の厚さで全面に堆積し、図25A及び図25Bに示す形状を得る。そして、リソグラフィとポリシリコン膜の異方性エッチングにより、図26A及び図26Bに示すようにゲート電極25を加工する。このとき、エッチングはブロック絶縁膜23であるシリコン酸化膜で止まるようにする。この結果、ビット線コンタクトが形成される領域にシリコン窒化膜22が残る。

【0058】

次に先の実施の形態で説明した方法により、図27A及び図27Bに示すように側壁絶縁膜26を形成し、ソース、ドレイン拡散層30およびシリサイド層27を形成する。更に、厚さ50~1000 (nm)のシリコン酸化膜からなる層間絶縁膜42を堆積し、平坦化することで、図27A及び図27Bの形状を得る。

20

【0059】

次に、リソグラフィと異方性エッチングによって層間絶縁膜42をエッチングし、ビット線コンタクト孔52を形成する。このとき、シリコン窒化膜22がエッチングストップとなるエッチング条件を用いることで、図28A及び図28Bに示すように、シリコン窒化膜22でエッチングを止めることができる。これにより、素子分離絶縁膜のエッチングが防止される。

30

更に、エッチング条件を切り替えてシリコン基板上のトンネル絶縁膜21およびシリコン窒化膜22を除去して、図29A及び図29Bに示すように、コンタクト孔52に拡散層を露出させる。

【0060】

続いて、図23A及び図23Bに示すように、不純物をドーピングしたポリシリコンまたはバリアメタルとWまたはAu等の金属からなるコンタクトプラグ43でビット線コンタクト孔を埋め込み、さらにビット線44を形成する。その後、必要に応じて更に層間絶縁膜45を堆積し、他のコンタクトや金属配線層を形成して、MONOSセルアレイを持つ半導体装置が得られる。

【0061】

この実施の形態によれば、ビット線コンタクトを素子分離領域に対して合わせ余裕を持たせることなく形成することができ、素子を高集積化し、チップ面積を縮小させ製造コストを削減することができる。ビット線コンタクト位置が素子領域からずれて素子分離領域にかかった場合、埋め込まれるコンタクトプラグは素子分離領域に一部重なることになる。しかしこの場合にも、シリコン窒化膜をビット線コンタクトのエッチングストップとして用いている結果、素子分離絶縁膜が削られることはなく、コンタクトプラグは素子分離絶縁膜にセルフアラインされて、拡散層にコンタクトする。

40

【0062】

さらに、素子分離領域に対するエッチングストップ膜として電荷蓄積層であるシリコン窒化膜を用いているため、エッチングストップ膜を形成する余分な工程が不要となり、工程

50

数を削減することができる。またエッチングストップ膜をシリコン基板上に均一に形成することができるので、コンタクト形成の加工マージンを広げ、歩留まりを向上させることができる。さらに、エッチングストップ膜を堆積する必要があるため、トランジスタの側壁にエッチングストップ膜が形成されることがなく、その結果、トランジスタ間のスペースが広く保たれ、層間絶縁膜の埋め込みアスペクトが小さくなるため埋め込み特性が向上し、製造歩留まりが向上する。

【0063】

但し、MONOSセルのゲート絶縁膜20に用いられるシリコン窒化膜22が薄く、コンタクト孔形成時のエッチングストップ膜として十分でない場合には、ゲート電極形成後にエッチングストップ膜を形成する工程を組み合わせることは有効である。その場合の構造を、図27A及び図27Bに対応させて示すと、図30A及び図30Bとなる。シリサイド膜27を形成した後に、メモリセル及び素子分離領域を覆うバリア絶縁膜となるシリコン窒化膜53を薄く堆積する。ソース、ドレイン拡散層30上及び素子分離領域上は、シリコン窒化膜22、53の積層構造となる。この場合、図23A、23Bに対応する最終構造は、図31A、31Bとなる。

10

【0064】

素子分離領域やソース、ドレイン拡散層上では、シリコン窒化膜22と53は、間に厚さ2nm以下の自然酸化膜を介在させることになる場合もあるが、実質的には2層が接して積層され、良好なエッチングストップとして機能する。MONOSセルのゲート絶縁膜に用いられるシリコン窒化膜をエッチングストップの一部として用いているために、ゲート電極形成後のシリコン窒化膜53は薄くすることができ、図23A、23Bで説明した構造と同様の効果が得られる。

20

【0065】

図30A、30B及び図31A、31Bで説明した構造は、MOSトランジスタの拡散層とゲート電極にシリサイド層を形成する先の実施の形態と組み合わせることは勿論有効であるが、この様なシリサイド層を用いない場合にも意味がある。即ち、MONOSセルのゲート絶縁膜に用いるシリコン窒化膜を、コンタクトプラグに接する素子分離領域にも残してエッチングストップとして用いることによって、MONOSセルを用いたEEPROMの信頼性向上と高集積化を図ることができる。

30

【0066】

実施の形態では、NOR型EEPROMを説明したが、この発明はNAND型、AND型、バーチャルグラウンドアレイ（Virtual Ground Array）型EEPROMにも適用可能である。

【0067】

【発明の効果】

以上述べたようにこの発明によれば、半導体基板上にMONOSセルが形成された高性能の半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるMONOSセルとトランジスタの集積化構造を示す断面図である。

40

【図2】同実施の形態のゲート絶縁膜形成からポリシリコン膜堆積までの工程を示す断面図である。

【図3】同実施の形態のゲート電極パターンニング工程を示す断面図である。

【図4】同実施の形態のn型拡散層のイオン注入工程を示す断面図である。

【図5】同実施の形態のp型拡散層のイオン注入工程を示す断面図である。

【図6】同実施の形態のレジスト除去後の状態を示す断面図である。

【図7】同実施の形態の側壁絶縁膜形成の工程を示す断面図である。

【図8】同実施の形態のシリコン酸化膜エッチング工程を示す断面図である。

【図9】他の実施の形態によるMONOSセルとトランジスタの集積化構造を示す断面図である。

50

【図10】同実施の形態のゲート絶縁膜形成からポリシリコン膜及びシリコン酸化膜形成までの工程を示す断面図である。

【図11】同実施の形態のセルアレイ及びPMOS-FET領域のゲート・ポリシリコン膜へのイオン注入工程を示す断面図である。

【図12】同実施の形態のNMOS-FET領域のゲート・ポリシリコン膜のイオン注入工程を示す断面図である。

【図13】同実施の形態のゲート・ポリシリコン膜の導電型分布を示す断面図である。

【図14】同実施の形態のゲート電極パターンニング工程を示す断面図である。

【図15】同実施の形態のNMOS-FET領域のn型拡散層のイオン注入工程を示す断面図である。

【図16】同実施の形態のPMOS-FET領域のp型拡散層のイオン注入工程を示す断面図である。

【図17】同実施の形態のレジスト除去後の状態を示す断面図である。

【図18】同実施の形態の側壁絶縁膜形成の工程を示す断面図である。

【図19】同実施の形態のシリコン酸化膜エッチング工程を示す断面図である。

【図20】同実施の形態のシリサイド膜形成工程を示す断面図である。

【図21】他の実施の形態によるセルアレイの等価回路である。

【図22】同実施の形態のセルアレイの平面図である。

【図23A】図22のI-I'断面図である。

【図23B】図22のII-II'断面図である。

【図23C】図22のIII-III'断面図である。

【図24A】同実施の形態の犠牲酸化膜及び素子分離酸化膜形成工程を示すI-I'断面図である。

【図24B】同工程のII-II'断面図である。

【図25A】同実施の形態のゲート絶縁膜形成からポリシリコン膜堆積までの工程を示すI-I'断面図である。

【図25B】同工程のII-II'断面図である。

【図26A】同実施の形態のゲート電極パターンニング工程を示すI-I'断面図である。

【図26B】同工程のII-II'断面図である。

【図27A】同実施の形態のシリサイド膜形成から層間絶縁膜堆積までの工程を示すI-I'断面図である。

【図27B】同工程のII-II'断面図である。

【図28A】同実施の形態のビット線コンタクト孔形成工程（途中）を示すI-I'断面図である。

【図28B】同工程のII-II'断面図である。

【図29A】同実施の形態のビット線コンタクト孔形成工程（完了）を示すI-I'断面図である。

【図29B】同工程のII-II'断面図である。

【図30A】エッチングストッパ膜後付け工程を追加した場合の図27A対応のI-I'断面図である。

【図30B】同じく図27B対応のII-II'断面図である。

【図31A】同エッチングストッパ膜後付け工程を追加した場合の図23A対応のI-I'断面図である。

【図31B】同じく図23B対応のII-II'断面図である。

【符号の説明】

10…シリコン基板、11a、11b…n型ウェル、12a、12b…p型ウェル、20…ゲート絶縁膜、21…トンネル絶縁膜、22…シリコン窒化膜、23…ブロック絶縁膜、24…ゲート絶縁膜、25…ゲート電極、26…側壁絶縁膜、27…金属シリサイド膜、30…n型ソース、ドレイン拡散層、31…n⁻型ソース、ドレイン拡散層、32…n⁺型ソース、ドレイン拡散層、33…p⁻型ソース、ドレイン拡散層、34…p⁺型ソー

10

20

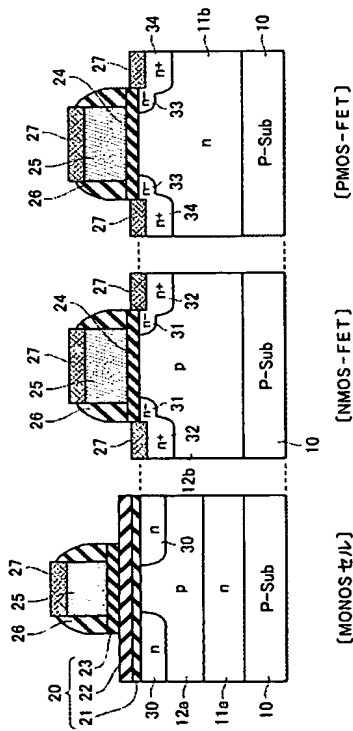
30

40

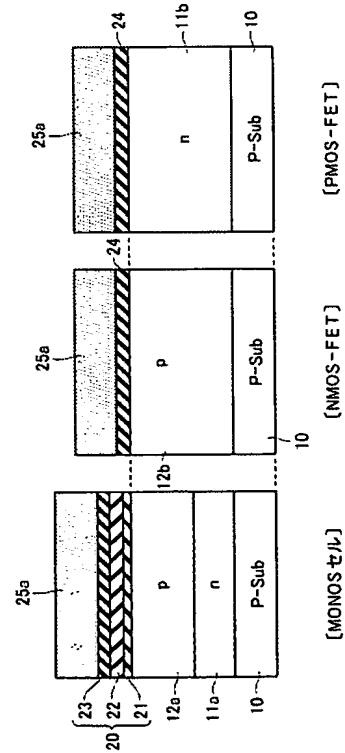
50

ス、ドレイン拡散層、5 3…シリコン窒化膜。

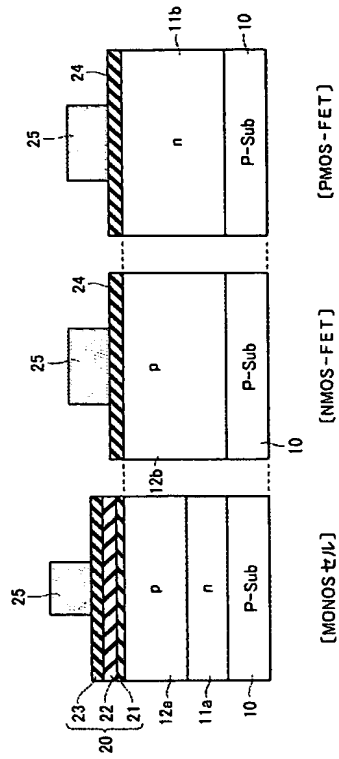
【図 1】



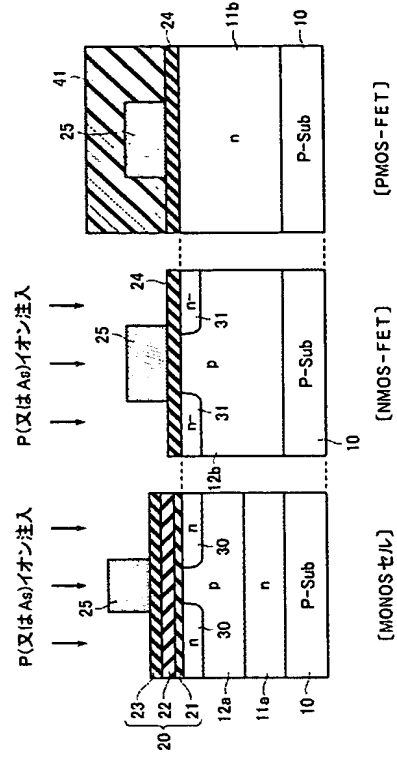
【図 2】



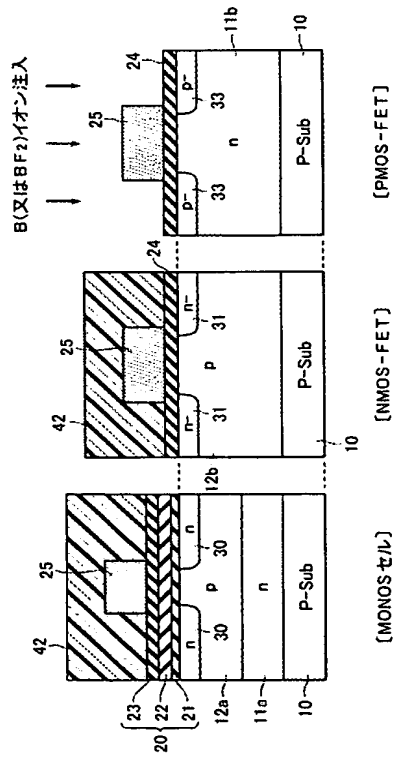
【図 3】



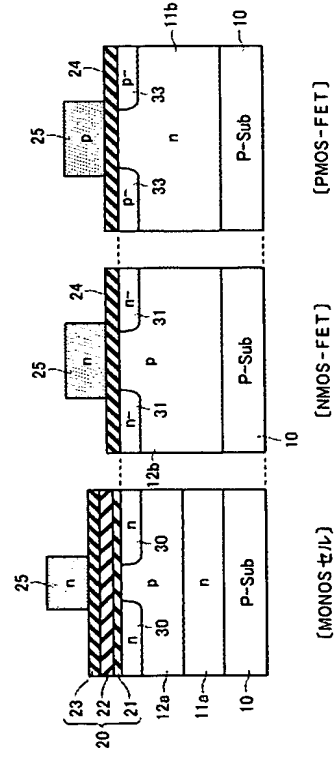
【図 4】



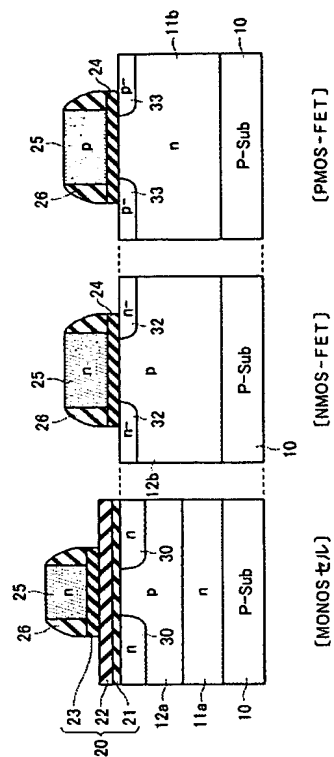
【図 5】



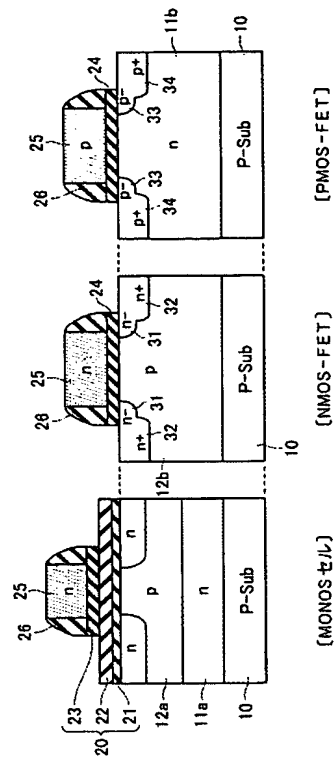
【図 6】



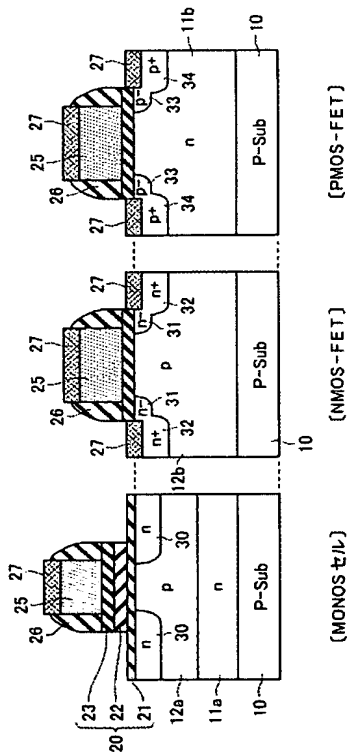
【図 7】



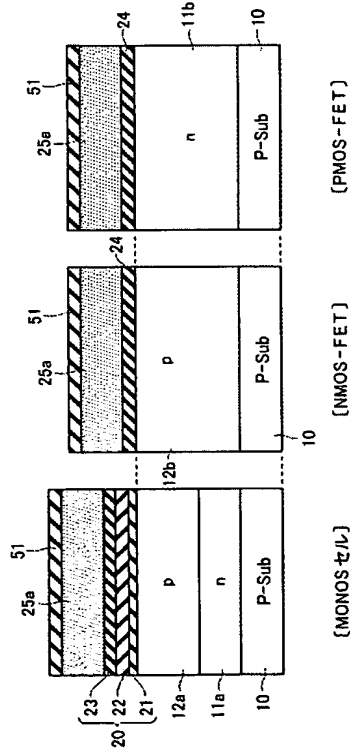
【図 8】



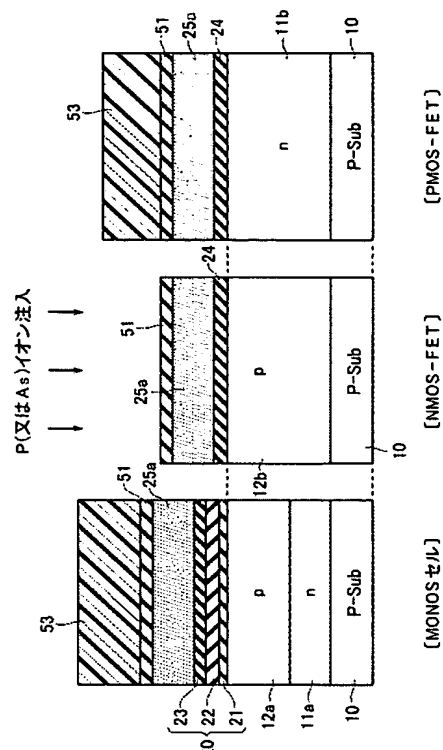
【図 9】



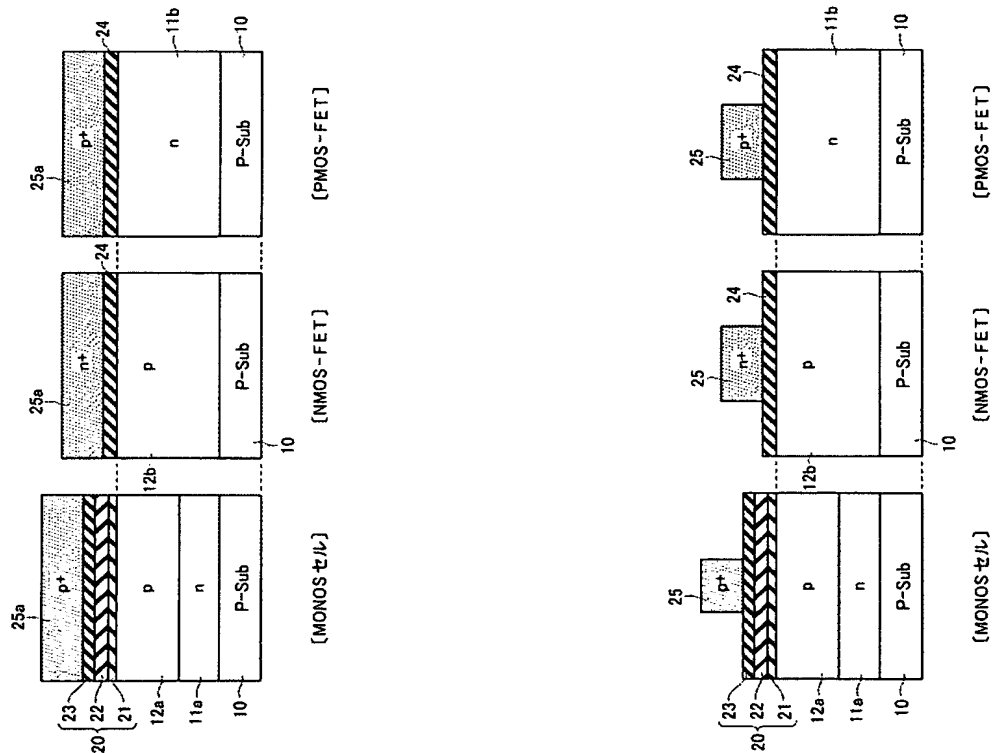
【図 10】



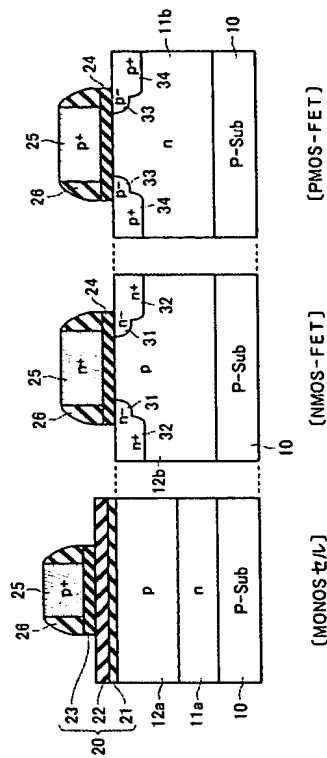
【図 12】



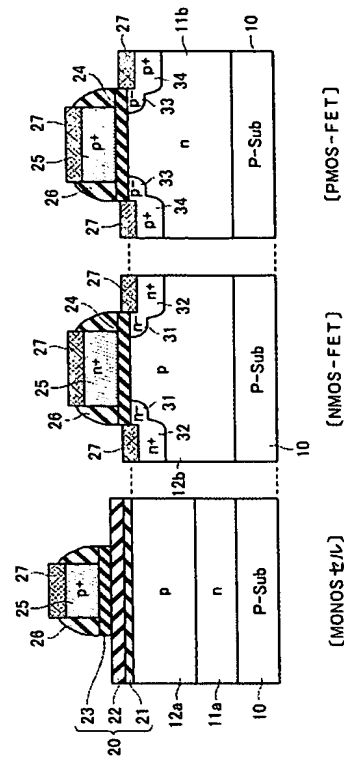
【図 14】



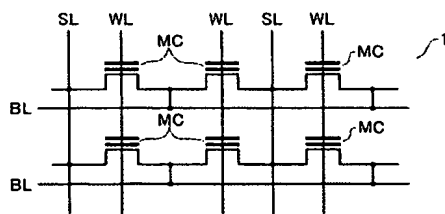
【図 19】



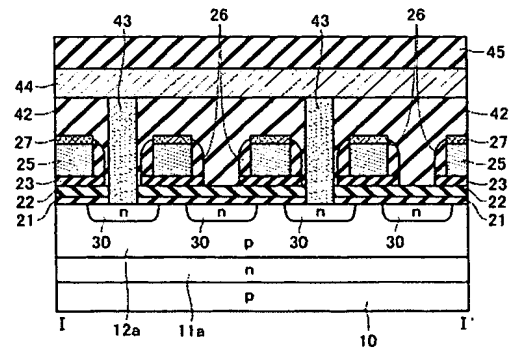
【図 20】



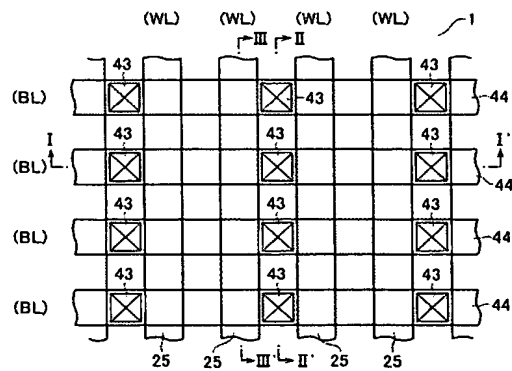
【図 21】



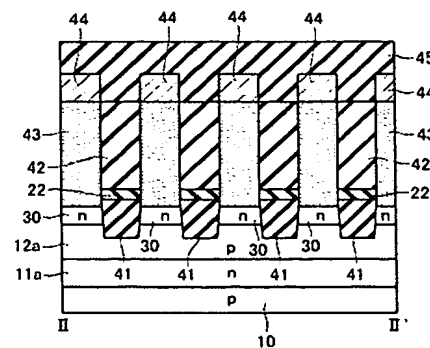
【図 23 A】



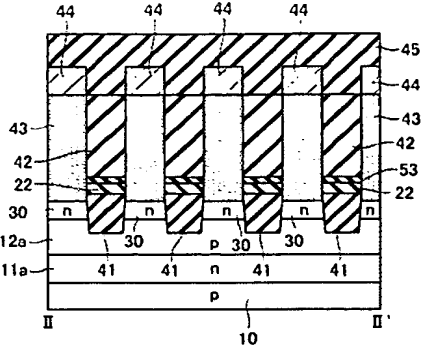
【図 22】



【図 23 B】



【図 3 1 B】



フロントページの続き

(72)発明者 齋田 繁彦

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

Fターム(参考) 5F083 EP18 EP63 EP68 EP76 EP77 EP79 GA02 GA06 GA28 JA04
JA05 JA33 JA35 JA39 JA53 MA03 MA06 MA20 NA01 NA03
PR06 PR09 PR43 PR53 ZA06 ZA12
5F101 BA45 BB05 BD07 BD10 BD24 BD34 BD35 BD36 BH21